

eGaN® FETドライバとレイアウトの考察



Alex Lidow 博士、CEO（最高経営責任者）、Johan Strydom 博士、アプリケーション・エンジニアリング部門バイス・プレジデント、Efficient Power Conversion Corporation

eGaN FET は、スイッチング速度が非常に高速なので、シリコンの対応品とは異なります。このため、ゲート駆動、レイアウト、および熱管理に異なる要件があり、すべてが相互に作用します。

eGaN® FETを駆動する

ゲート駆動の要件を考慮すると、eGaN FETの最も重要な3つのパラメータは、（1）許容できる最大ゲート電圧、（2）ゲートのしきい電圧、（3）「ボディ・ダイオード」の電圧降下の3つです。eGaN FETの許容できる最大のゲート-ソース間電圧6 Vは、従来のシリコンと比べて小さくなっています。2番目のゲートのしきい電圧も、ほとんどのパワーMOSFETと比べて低いです。MOSFETのように負の大きな温度係数の影響を受けません。3番目の「ボディ・ダイオード」の順方向電圧降下は、同等のシリコンMOSFETよりも大きいので、MOSFETに比べて、ゲート駆動のタイミングに一層の注意が必要です。

これらの重要なパラメータをパワーMOSFETと比べて表1にまとめました。

ゲートのプルダウン抵抗

eGaN FETの大きな利点は、スイッチング速度です。ただし、高い di/dt と dv/dt の組み合わせは、寄生の容量、抵抗、インダクタンスを小さくするレイアウトが必要になり、ゲート・ドライバのためのいくつかの新たな考察が必要になります。これをさらに理解するために、図1に示すような相補型デバイスのオン時の dv/dt が高いハーフブリッジを見てみましょう。ミラー電荷からの電流は、 C_{GD} と C_{GS} を介してドレインからソースへ、同様に、 C_{GD} を介して、ゲートの内部抵抗 (R_G) へ、そしてゲート駆動のシンク抵抗 (R_{SINK}) を介してソースへと流れます。 dv/dt (ミラー) によるオンを避けるための要件は、次式で与えられます。

$$C_{GD} \times dv/dt \times (R_G + R_{SINK}) \times (1 - e^{-dt/a}) < V_{TH} \quad (1)$$

ここで、 a は、受動回路網の時定数 ($R_G + R_{SINK}$) \cdot ($C_{GD} + C_{GS}$) であり、 dt は、 dv/dt のスイッチング時間です。したがって、ミラーによるeGaN FETのオンを防ぐために、いくつかの第2世代デバイスではゲートとソースとの間の全抵抗経路 ($R_G + R_{SINK}$) を制限する必要があります。

ミラー比が良好 ($Q_{GD} / Q_{GS} \cdot (V_{TH}) < 1$) なデバイスでは、これは必須ではありません。これは、 V_{DS} によって Q_{GD} が増加するので、ドレイン-ソース間電圧の上昇によってこの比率が悪化し、ミラーによってオンしてしまうかもしれないということに注意しなければなりません。一方、式 (1) は、 $Q_{GD} / Q_{GS} \cdot (V_{TH})$ が1よりもはるかに小さい非常に低いバス電圧において改善されます。安全のため、高耐圧デバイスでは、ゲート駆動のプルダウン抵抗は0.5Ω以下を推奨します。

FETの種類	標準的な100 Vのシリコン	100 VのeGaN FET
最大ゲート-ソース間電圧	±20 V	+6 V / -5 V
ボディ・ダイオードの逆方向電圧	約1 V	約1.5~2.5 V
ゲートのしきい電圧	2 V~4 V	0.7 V~2.5 V
dv/dt 容量 (ミラー) 比 $Q_{GD}(50 V)/Q_{GS}(V_{TH})$	0.5~0.8	0.8
ゲートの内部抵抗	1 Ω以上	0.6 Ω以下
25°Cから100°Cまでの $R_{DS(on)}$ の変化	+50%以上	+40%以下
25°Cから100°Cまでの V_{TH} の変化	-20%	+3%
ゲート-ソース間の漏れ電流	数nA	数mA
ボディ・ダイオードの逆回復電荷	大きい	なし
アバランシェ能力	あり	定格化していない

表1: 100 VのSi MOSFETと100 VのeGaN FETとの比較。

低抵抗のプルダウンでも、ミラーによるオンを回避するドレイン・ノードの最大dv/dtは、まだ以下によって制限されます :

$$dv/dt_{max} \approx V_{TH} / (Z_{pull-down} \cdot C_{GD})$$

ここで、 $Z_{pull-down}$ は、デバイスのゲートとソースとの間の外部ゲート・ドライバのループのインピーダンスです。これには、デバイスのゲート抵抗 R_G 、ゲート・ドライバのプルダウン抵抗 R_{SINK} 、およびループ・インダクタンスを含みます。ループ・インダクタンスを低く抑えると、ゲート・ドライバとデバイスのゲートとの間の伝統的な設計による細長いリードによって一段と複雑になります。ゲート・ドライバとデバイスのゲートとの間のトレースを広く、短くすることによって回避することができます。

ゲートのプルアップ抵抗

eGaN FETの全ミラー電荷 (Q_{GD}) は、同様のオン抵抗のパワーMOSFETよりも非常に小さいので、はるかに高速にデバイスをオンすることができます。このため、dv/dtが高すぎると、「ハード」・スイッチングの遷移の間に、シュートスルー（貫通）が生じることによって、効率が低下します。したがって、他の望ましくない損失メカニズムを誘発することなく、遷移時間を最小化するためにゲート駆動のプルアップ抵抗を調整することは有益です。これによって、EMI（電磁干渉）雑音を改善するために、スイッチ・ノード電圧のオーバーシュートやリングングの調整も可能になります。パワーMOSFETのアプリケーションでは、ゲート駆動出力と直列に、抵抗と逆並列ダイオードを配置することによって構成できます。しきい電圧が低いeGaN FETでは、これは推奨できません。最も簡単な一般的な解決策は、ゲートのプルアップ接続とプルダウン接続をドライバと分離し、必要に応じて個別の抵抗を挿入可能にすることです。

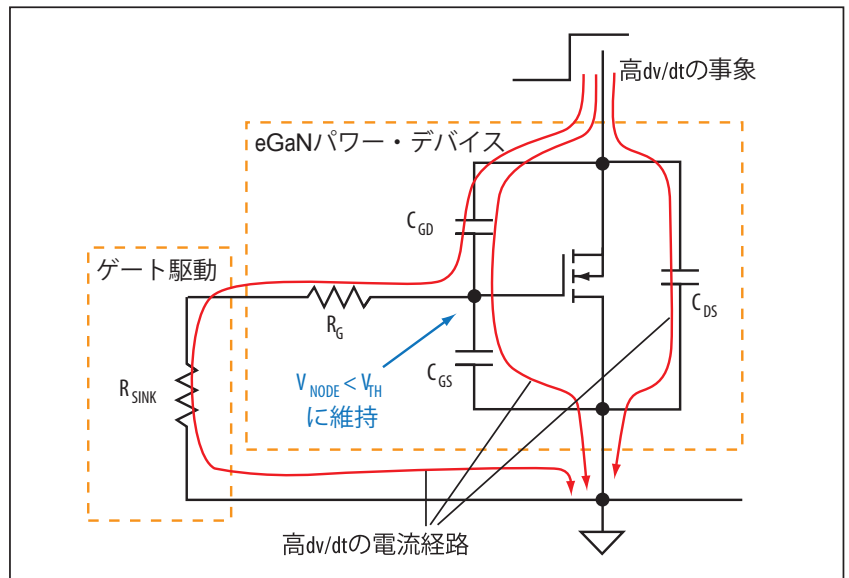
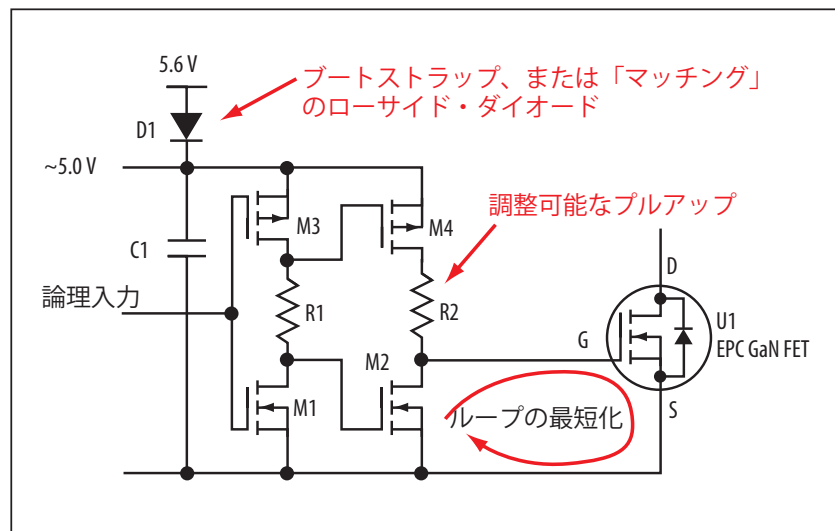


図1: 「オフ」状態において、dv/dt がデバイスに及ぼす影響、および、ミラーによって誘発されるシュートスルー（貫通）を回避するための要件。

ゲート駆動のデッドタイム

eGaN FETの逆バイアス、つまり「ボディ・ダイオード」の動作には、逆回復損失がないという利点があります。ただし、この利点は、ボディ・ダイオードの順方向電圧降下が大きくなることによって相殺されます [1]。このダイオードの導通損失は、特に低電圧、高周波において重要になります。シリコン・ダイオードの逆回復損失とは異なり、これらの導通損失は、ボディ・ダイオードの導通期間をできるだけ短く保つために、デッドタイムの管理を適切に行うことによって最小化することができます。eGaN FETの短くて変動の少ないスイッチング時間は、デッドタイム制御はるかに厳しくなりますが、ボディ・ダイオードの導通損失は低減します。わずかに数ナノ秒のデッドタイムの減少が、実質的にボディ・ダイオードの損失を排除します。



ゲート駆動の供給の安定化

eGaN FETの最大ゲート電圧6 Vの制限は、ゲート駆動の供給範囲を制限することになり、供給を安定化する方法が必要となります。ハーフブリッジ構成の最大の懸念は、浮いているハイサイドの電源です。図2のように、ゲート駆動をディスクリート部品で構成したとき、ローサイド電源（接地基準）とハイサイド電源との間のマッチングを改善するための単純な方法は、「マッチング」・ダイオードを使用することです。

デッドタイム、およびボディ・ダイオードの導通を短くする相補的なスイッチのハーフブリッジの用途に、この方法だけが適しています。eGaNボディ・ダイオードの導通が、ブートストラップ・ダイオードがオンする時間よりも十分に長い用途では、約2 Vのボディ・ダイオードの電圧

図2: 相補的なハイサイドおよびローサイドの電源電圧をマッチングするための方法を示すディスクリート部品によるeGaN FETのゲート駆動のソリューション。

降下が電源電圧に追加され、ハイサイド電源の過電圧を引き起こす可能性があります。このような場合には、ポストブートストラップ電源の制御手段が必要になります。

米テキサス・インスツルメンツ社のLM5113は、ブートストラップの安定化機能を搭載し、eGaN FETに最適化したハーフブリッジ・ドライバの例です。搭載されたUVLO（低電圧ロックアウト）は、すべての回路条件の下で十分に信頼性の高い動作を保証するためにブートストラップ電圧を5.2 Vに制限する過電圧クランプです。このクランプに加えて、別々のソース・ピンとシンク・ピンや、50 V/ns以上のdv/dt能力を備え、伝播時間は整合しています。さらに、0.5 Ωのプルダウンがあり、eGaN FETが動作中の効率を固定しないようにハイサイド入力とローサイド入力は独立しています。

レイアウトの考察

ゲート駆動のループ・インダクタンス

最大許容ゲート電圧6 Vは、推奨駆動電圧4.5 Vを1.5 V上回っています。インダクタンスは、ゲート電圧のオーバーシュートを発生させる可能性があるため、eGaN FETとゲート・ドライバとの間のゲート駆動電圧を、この制限されたマージンに収めるだけでなく、インダクタンスも制限しなければなりません。いくらかのオーバーシュートは許容できますが、ゲートのループ・インダクタンスが以下に制限されているなら、オーバーシュートを完全に回避することができます。

$$1/4 \times (R_G + R_{Source})^2 \times C_{GS} \geq L_G \quad (2)$$

ここで、 R_{Source} は、ゲート・ドライバの出力抵抗であり、 L_G は、ゲート・ドライバとeGaN FETとの間のループ・インダクタンスです。したがって、与えられたゲート・ループ・インダクタンスに対して、 V_{GS} の上限を超えないように保つために必要な最小の出力抵抗値があります。言い換えると、ゲート駆動経路のプルアップ抵抗は、少なくとも、オーバーシュートを制限するための減衰の境界の近くに確保するために、与えられたゲート・ループのレイアウトに合わせて調整する必要があります。このように、ゲート・ループのインダクタンスは、デバイスのスイッチング速度を直接制限するので、最高の効率を得られるように、それを最小限に抑えるように注意しなければなりません。

共通ソース・インダクタンス (CSI) の影響

電圧定格が200 V以下のeGaN FETは、パッケージのインダクタンスと抵抗が非常に低いLGAパッケージに封止しています。したがって、共通ソース・インダクタンスの影響は、ゲート・ドライバの要件というよりも、レイアウトの問題と考えられます。現実にはそれほど単純ではありません。

CSIの付加は、di/dtの間に、インダクタンスの両端にゲート駆動電圧と反対方向に生じる電圧によって、効率を実質的に低下させるので、オン時間とオフ時間を増加させます。したがって、最適なスイッチング特性のために、共通ソース・インダクタンスを最小化することが重要です。矛盾するよう思われますが、もし設計者がスイッチング損失の増加という代償を受け入れる意志があるなら、CSIの増加は、 V_{GS} にさらに電圧を加えることになり、ミラーによるオンの可能性は低くなります[2]。これは、相補型デバイスを「ハード」にオンすると、CSIにかかる転流電流のdi/dtは、電圧遷移の一部の期間中にデバイスをオフに保つ助けとなる負の電圧をゲートの両端に誘起するという事実によるものです。CSI、ゲート容量、およびゲート駆動のプルダウン・ループは、同等の正

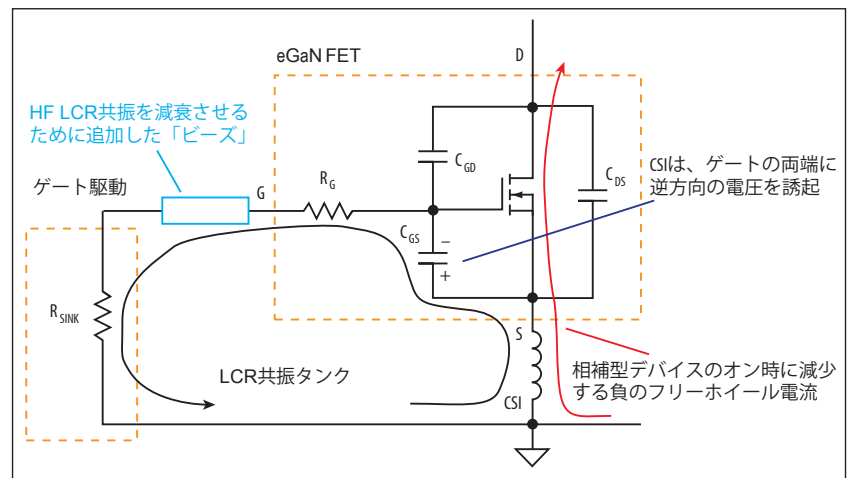


図3: 「ハード」なオン時のdi/dtの影響を示す電源回路の一部の等価回路。

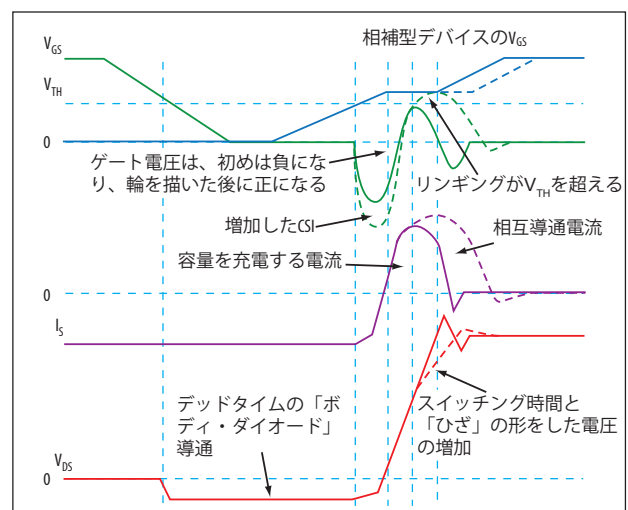


図4: CSIリングの影響を示す相補型デバイスの「ハード」なオン時の図3の回路の波形。

の電圧のリンギングがゲート両端に生じることを回避するために減衰させる必要があるLCR共振タンクを形成するという事は記載されていません。このリンギングは、電圧遷移の最後の近く、または、終わった後でさえ、再びデバイスをオンさせてしまいます。ゲート駆動のシンク抵抗 R_{SINK} を大きくすると、ミラーによってオンする感度を高めてしまうという代償を払って、このLCR共振を減衰させることができますが、共振周波数で抵抗性のフェライト・ビーズを追加すると、ミラーによるオンの感度をあまり高めずに、同じ結果を得ることができます。図3に等価回路を、図4にスイッチング波形を示します。

すなわち、CSIIは、より高い di/dt や dv/dt によって、パワー-MOSFETよりもeGaN FETにおいて重要になり、慎重なレイアウトによって最小化しなければなりません。

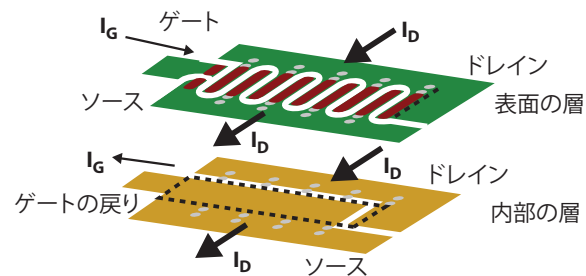


図5: 片面終端のレイアウト構成の例。

推奨するレイアウト案

上記と別の考察をすると、eGaN FET向けに推奨されるプリント回路基板のレイアウトをいくつか開発することができます。このセクションでは、推奨するレイアウトの3つのレベルに対して、改善する特性の評価と共に、それぞれについて説明します：

- 1) 2層以上のプリント回路基板設計には片面終端が適しています。
- 2) 4層以上のプリント回路基板設計には両面終端が適しています。
- 3) 可能限り最も小さいCSIが必要なところでは充填ビアの両面終端が適しています。

片面終端のプリント回路基板のレイアウト

設計においてコストが重要な要因である場合には、片面終端設計を推奨します。2層以上のプリント回路基板上に実装することができ、この例を図5に示します。ドレインとソースに接続した電力は、プリント回路基板の同じ層に配線され、FETの一方の側で終端されます。ドレイン端子とソース端子は、電流処理能力を高めるために、もう1つの層にビアを使って接続することを推奨します。推奨されるビア設計は、10ミル (250 μm) 径の穴と20ミル (500 μm) のアニュラ・リングです。パッドごとに2つのビアが推奨され、プリント回路基板の設計ガイドラインと共通ソース・インダクタンスの設計制限に基づいて十分な間隔をとらなければなりません。さらに、共通ソース・インダクタンスを低減するためには、ソースに接続されたためきしてない銅プレーンの配置を推奨します。この層は、表面層 (チップのパッド層) の下の1つの層です。このソース・プレーンは、メイン電流とゲートの戻りの両方の電力面として機能し、図5に金色面で示されています。ゲート-ソース回路とドレイン-ソース回路との間の結合をさらに減らすには、2つの回路の電流が互いに直交するように設計することによって実現できます。すべての層に少なくとも2オンスの厚さの銅を使うと、可能な限り小さい接続抵抗を確保できます。

トレース幅と間隔が狭い仕様の低耐圧チップ (40 Vと100 V) に推奨されるランド・パターン [3] に対しては、設計者は、すべての設計要件を満たすためのオプションを決定するために基板メーカーに相談する必要があるかもしれません。ほとんどの場合、銅の厚さを1オンスに薄くすると、ほとんどの基板メーカーの公差要件を満たします。

デモ・ボードのEPC9001とEPC9002のシリーズは、この技術を使って設計されています[4,5]。

両面終端のプリント回路基板のレイアウト

設計において特性とコストが重要な要因である場合には、両面終端設計が推奨されます。この設計は、4層以上のプリント回路基板上に実装することができます。このレイアウト方法の2つの例が図6です。最初のオプションは、表面 (パッド) 層をソース端子にし、ドレインは1層下にします。2番目のオプションは、表面 (パッド) 層をドレイン端子にし、ソースの接続は1層下にします。図6に示すように、ドレインとソースの電力の接続は、プリント回路基板の異なる層に配線され、チップの両側で終端されています。ドレイン端子とソース端子は、さらに電流処理能力を強化するために追加の層

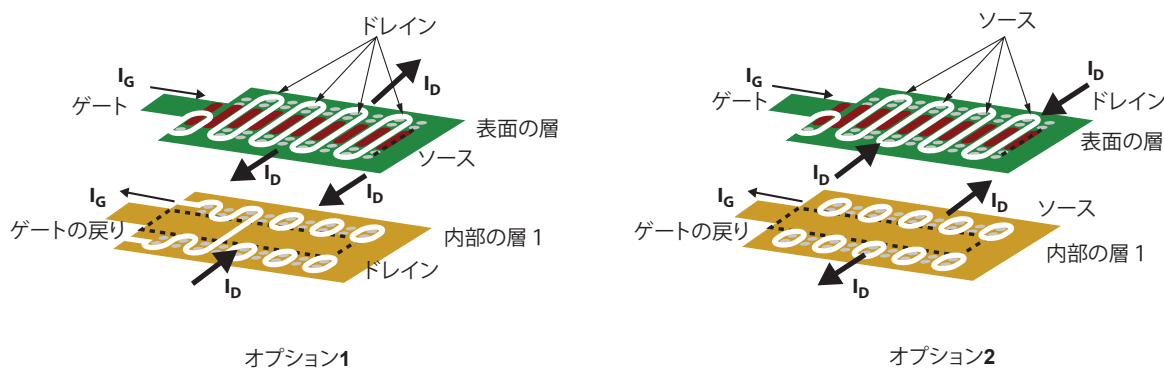


図6: 層の割り当てによる2つのオプションを示す両面終端レイアウト構成の例。

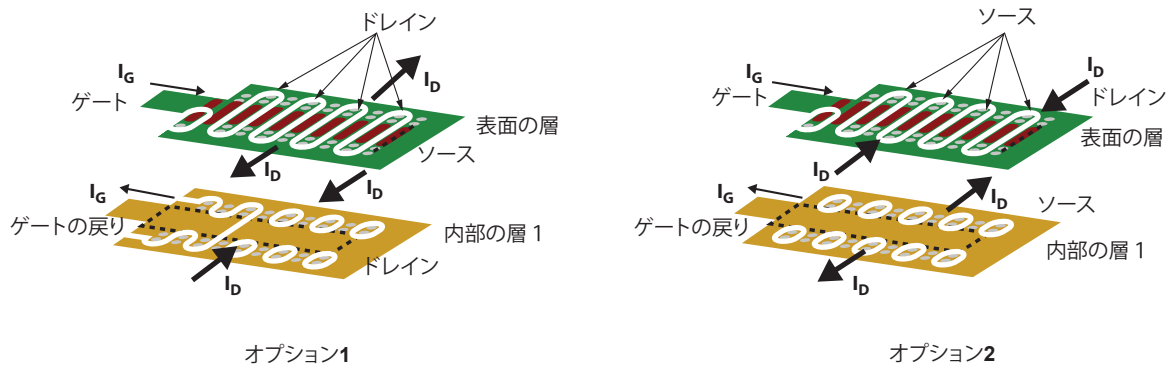


図7：層の割り当てによる2つのオプションを示す充填ビアの両面終端レイアウト構成の例。

にビアを使って接続することを推奨します。推奨するビア設計は、低耐圧デバイス（40 Vと100 V）では6ミル（150 μm）径のドリル穴と8ミル（200 μm）のアニュラ・リングで、中耐圧デバイス（200 V）には8ミル（200 μm）径のドリル穴で12ミル（300 μm）のアニュラ・リングです。パッド面ごとに2つのビアが推奨され、プリント回路基板の設計ガイドラインと共通ソース・インダクタンスの設計制限に基づいて、十分に間隔を置いて配置する必要があります。この設計は、お互いのビアを近接しすぎると密集することになるので、プリント回路基板上に形成されるティア・ゾーンを防止するために、ビアをジグザグにずらす必要があります。あるいは、プリント回路基板の繊維を45度回転するように基板メーカーに頼むこともできます（これは、プリント回路基板のコスト増になるかもしれません）。

共通ソース・インダクタンスをさらに低減するために、表面層（チップのパッド層）の下に、ゲート戻りのソースの1つの層に接続されたためききしていない銅プレーンを配置することを推奨します。図6に示すように、ゲート-ソース回路と、ドレイン-ソース回路との間の結合をさらに減少させるには、2つの回路の電流が互いに直交するように設計することによって実現できます。すべての層に2オンスの厚さの銅を使うと、接続抵抗が可能な限り小さくなります。ゲートの戻りは、1つの層だけに配線する必要がありますので、大電流のプレーンに、他の層のより多くの領域を残せます。

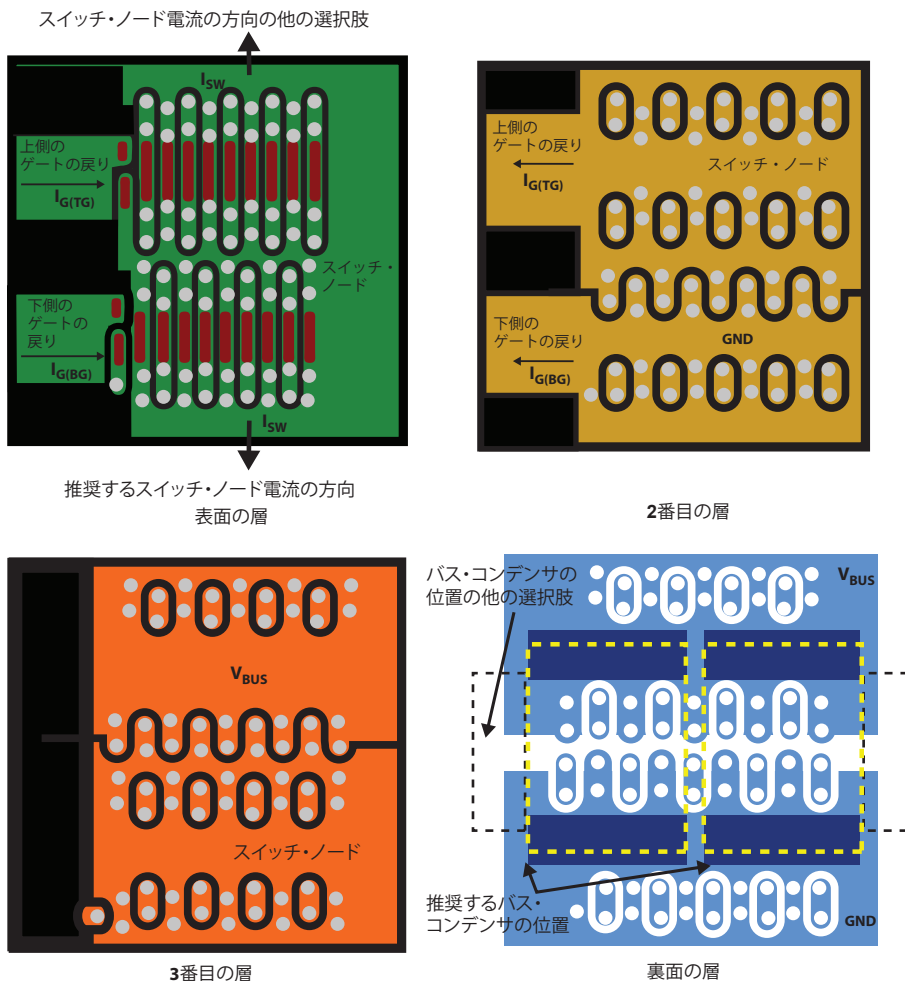


図8：4層プリント回路基板を使ったハーフブリッジのレイアウト例。

充填ビアの両面終端プリント回路基板のレイアウト

特性を重視する設計には、充填ビアの両面終端設計を推奨します。4層以上のプリント回路基板上に実装することができます。このレイアウト方法の2つの例が図7です。最初のオプションは、表面（パッド）層にソース端子を備え、ドレイン端子は1層下にあります。2番目のオプションは、表面（パッド）層にドレイン端子を備え、ソースの接続は1層下にあります。図7に示すように、ドレインとソースの電力の接続は、プリント回路基板の異なる層に配線され、チップの両側で終端しています。ドレイン端子とソース端子は、電流処理能力をさらに高めるために、追加の層にビアを使って接続することを推奨します。推奨するビアの設計は、低耐圧デバイス（40 Vと100 V）には6ミル（150 μm）径のドリル穴と8ミル（200 μm）のアニュラ・リン

グ、中耐圧デバイスには8ミル（200 μm）径のドリル穴、12ミル（300 μm）のアニュラ・リングです。パッドの端ごとに2つのビアを推奨します。プリント回路基板の設計ガイドラインと共通ソース・インダクタンスの設計制限に基づいて十分な間隔を置いて配置してください。この設計は、ビアが互いに近すぎると密集する傾向があるので、プリント回路基板に形成されるティア・ゾーンを防止するために、ビアをジグザグにずらす必要があります。チップのパッド領域に配置されたビアは、6ミル（150 μm）径のドリル穴と8ミル（200 μm）径のアニュラ・リングのマイクロ・ビアにし、パッド幅を越えないようにし、非導電性のフィラー、または導電性のフィラー（これはコスト増になるかもしれませんが）のいずれかで満たされなければなりません。ソース、ゲート、ドレインのはんだバーの直下に配置した穴のビアは、プリント回路基板に対するチップの隔離距離の大ききなばらつきとなります。隔離距離のばらつきは、（1）FETとプリント回路基板との間を徹底的にきれいにするためのユーザーの手腕に影響し、（2）チップの傾きのばらつきを大きくし、（3）トランジスタの温度サイクル特性を劣化させる可能性があります。

さらにCSIを低減するためには、表面層（チップのパッド層）の1層下のゲート戻りのソースに接続されたためつきしていない銅プレーンを配置することを推奨します。ゲート-ソース回路とドレイン-ソース回路との間の結合をさらに低減するためには、図7に示すように、2つの回路の電流経路を互いに直交するように設計することによって実現できます。すべての層に2オンスの厚さの銅を使うと、接続抵抗を可能な限り小さくできます。ゲートの戻りが1つの層だけに配線される必要があるため、大電流プレーンに、他の層のより多くの領域を残せます。

デバイスのプリント回路基板レイアウトの相互接続

ハーフブリッジ構成などの設計は、デバイスが相互接続される必要があります。2つのデバイスを相互接続するために推奨する方法の4層の設計例を図8に示します。抵抗性の損失を制限し、熱拡散を改善するために、銅の厚さを最大化しなければなりません（外側の層に2オンスの銅を推奨します）。このレイアウト例では、各部品ソース接続は、電界シールド（特に、デバイスのゲート構造の下）として機能し、追加される寄生のゲート-ドレイン間容量（ C_{gd} ）を最小にするために、下の面に配置します。すべてのソースは、シールドのための2番目の層を介して接続され、ゲート駆動の戻り経路としてシールドは2倍になります。ドレインの接続は、第3の層に配置されます。このトレードオフは、共通ソース・インダクタンスとレイアウトの全体的なインダクタンスをはるかに小さくできることと、この構成によって、寄生容量、特に出力容量（ C_{oss} ）が増加することです。また、寄生の C_{gd} を最小化する必要はあります。主電源バスのデカップリング・コンデンサは、デバイスのペアの直下、すなわち1つの面（図8参照）に配置し、ループ・インダクタンスを最小限に抑えるためにできるだけ近くに配置します。ゲート・ドライバの出力は、各FETのゲートのできるだけ近くに配置しなければなりません。デバイス間のインダクタンスをさらに低減するために、FETの長辺を並べて配置しなければなりません。

並列接続

スイッチング・デバイスを並列接続すると、スイッチング・コンバータの電力特性を大きくできます。これらのデバイスは、商用のMOSFETよりも10倍高速にスイッチングできるので、eGaN FETの並列接続には、多くの新たな課題があります。これらの課題は、参考文献[6]と[7]に詳細に説明しました。ここでは、並列化したeGaN FETのスイッチング・コンバータから、可能な限り最高の特性を確実に引き出すための推奨を示します。

熱の考察

基本的に下側のeGaN FETのチップ面積当たりのオン抵抗 [8] によって、これらのデバイスは、同等のオン抵抗のパワーMOSFETチップよりも小さいため、等価熱抵抗が高くなります。ただし、eGaN FETは、FOMもはるかに小さいので、スイッチング電力損失が小さくなり、相殺されるでしょう。

この電力損失の改善は、より高い熱抵抗を補うことができますか？

この質問に答えるためには、2つの一般的なシナリオを見る必要があります。すなわち、(1) デバイスは、ヒートシンクを追加せずに、プリント回路基板上に「フリップチップ」として実装されている、(2) デバイスは、両面冷却で実装されている。

片面放熱：

eGaN FETは、標準的なシリコン・ウエハーの上にヘテロ接合材料の非常に薄い層で構築されています。裏側にいかなる冷却もせずに、プリント回路基板上に直接実装したとき、熱的には同様に実装された任意のシリコン・デバイスのように振る舞います。この結果としての熱特性を完全に理解するために必要な変数は、(1) プリント回路基板の銅領域、(2) 銅の厚さ、(3) プリント回路基板の材料、(4) デバイスとプリント回路基板の空気の流れです。

参考文献 [9] では、プリント回路基板材料FR-4の上に直接実装したいくつかの業界標準パッケージをテストしています。測定は、1平方インチ、2オンス銅、および、

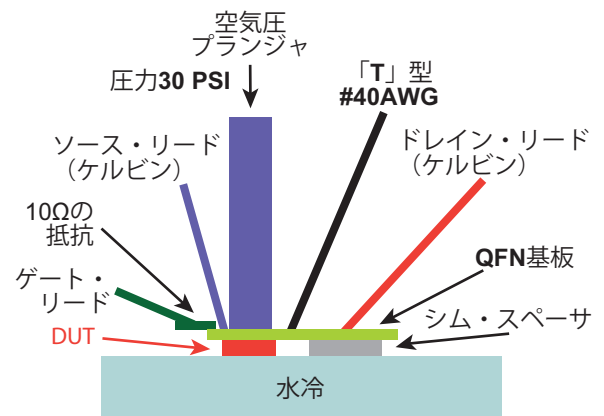


図9：EPCのeGaN FETの「最高の場合」の熱抵抗を測定するためのテスト構成。

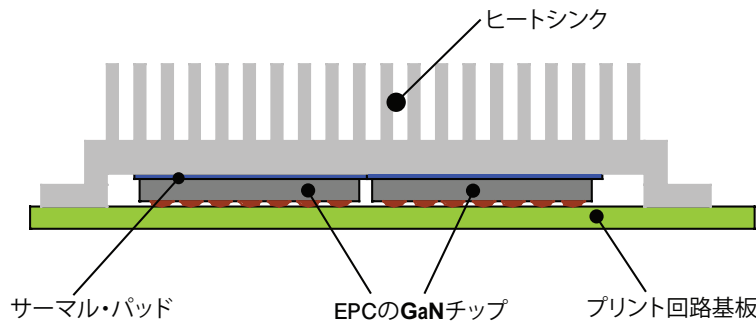


図10: サーマル・パッドを備えた1つのヒートシンクの下に配置した2個のチップ。

リードと電氣的に接続するために十分な銅だけを備えたデバイスで行いました。この方法は、プリント回路基板上の銅による冷却からのデバイス実装面積への影響を分離しました。異なるパッケージを、1平方インチの銅（D²PAKの R_{JA} の最小値は18°C/W、SO-8の最大値は34°C/Wでした）に実装したとき、比較的小さな影響が見られました。これは、支配的な熱抵抗の要素がプリント回路基板を介して放熱したからです。これらのテストと一貫性を持たせると、2オンス銅の1平方インチに実装されたeGaN FETの R_{JA} は、静止空气中で約40°C/Wでなければならないと推定されます [10,11,13]。この特性は、空気の流れを大きくすると大幅に向上させることができます。

両面放熱 :

EPCのeGaN FETに対する可能な限り最高の表面冷却を決めるために、図9の構成にしました。温度に対する感度が高いパラメータとして $R_{DS(on)}$ を使い、ヒートシンクは、これらの「最高の場合」の熱の測定のために水冷にしました。eGaN FETのファミリー全体にわたって、主にeGaN FETの能動領域の下のシリコン基板を介して冷却したとき、データは、12~14°C-mm²の正規化した R_{JA} を示唆しています。これらの条件の下で、大面積のeGaN FET (EPC2015、EPC2001、EPC2010)の R_{JC} は、約2°C/Wであり、面積が小さいFET (EPC2014、EPC2007、EPC2012)の R_{JC} は約8°C/Wです。

両面冷却の実際の実装は、確かに、図9に示したものよりも凝ったものではありませんが、最終的な熱インピーダンスをより大きくすることになります。図10に、2個のデバイスが1つのヒートシンクによって同時に冷却される構成の一例を示します。ただし、複数のチップが同じヒートシンクの下に置かれる場合には、チップへの不均一な圧力による機械的な損傷を避けるように注意しなければなりません。これは、わずかなチップの傾きやプリント回路基板の高さが異なってしまうことになるかもしれません。3M社 [11]、ダウコーニング社 [12]、Bergquist社 [13]などの熱伝導材料は、ヒートシンクに対して6°C/W、基板に対して15°C/Wを実現する1個のヒートシンクの下に複数のチップの両面を冷却するためにうまく使えます [15]。当社のすべてのデバイスの熱モデルは、当社のウェブサイト（www.EPC-co.com）でも利用できます。FETの基板はソース電位に接続する必要があるため、ヒートシンクは、少なくともチップの1つから電氣的に絶縁されなければならない、さらに、熱伝導材料も電氣的な絶縁体でなければなりません。

結論

シリコンのパワーMOSFETと比べて、EPCのeGaN FETは、設計者に、まったく新しいスペクトルの特性を与えます。この新しい技術の利点を最大限に活かすために、設計者は、費用対効果の高いプリント回路基板で動作する費用対効果の高い駆動回路を設計する方法を理解しなければなりません。このレポートでは、最終的なシステムの特性と信頼性にとって重要になるゲート駆動条件、レイアウト、および熱設計の考察を行いました。

参考文献

- [1] EPC2001 Datasheet: http://epc-co.com/epc/documents/datasheets/EPC2001_datasheet_final.aspx
- [2] Fairchild Semiconductor AN-7019, "Limiting Cross-Conduction Current in Synchronous Buck Converter Designs", <http://www.fairchildsemi.com/an/AN-7019.pdf#page=1>
- [3] Alana Nakata, "Assembling eGaN FETs", http://epc-co.com/epc/documents/product-training/Appnote_GaNAssembly.pdf
- [4] EPC9001 demo board at: <http://epc-co.com/epc/Products/DemoBoards.aspx>
- [5] EPC9002 demo board at: <http://epc-co.com/epc/Products/DemoBoards.aspx>
- [6] J. Strydom, M. deRooij, "Shootout Volume 5: Paralleling eGaN® FETs", Power Electronics Technology, October 2011
- [7] A. Lidow, J. Strydom, M. deRooij, Y. Ma, "GaN Transistors for Efficient Power Conversion", Power Conversion Press, 2012, Chapter 4.
- [8] Steve Colino, Robert Beach, "Fundamentals of Gallium Nitride Power Transistors", http://epc-co.com/epc/documents/product-training/Appnote_GaNfundamentals.aspx
- [9] International Rectifier, <http://www.irf.com/technical-info/whitepaper/thermalpcim02.pdf>
- [10] Edgar Abdoulin, Steve Colino, Alana Nakata, "Using Enhancement Mode GaN-on-Silicon Power Transistors", http://epc-co.com/epc/documents/product-training/Using_GaN_r4.aspx
- [11] 3M pads : http://solutions.3m.com/wps/portal/3M/en_WWW/electronics/home/productsandservices/products/TapesAdhesives/ThermalInterface/
- [12] Dow Corning Pads: <http://www.dowcorning.com/content/etronics/etronicspadsfilm/>
- [13] Bergquist Pads: http://www.bergquistcompany.com/thermal_materials/gap_pad/pdfs/gap-pad-vo-soft/PDS_GP_VOS_12.08_E.pdf
- [14] John Worman and Yanping Ma, "Thermal Performance of EPC eGaN FETs", http://epc-co.com/epc/documents/product-training/Appnote_Thermal_Performance_of_eGaN_FETs.aspx
- [15] Johan Strydom, "The eGaN® FET- Silicon Power Shoot-Out Volume 8: Envelope Tracking", http://powerelectronics.com/power_semiconductors/gan_transistors/egan-fet-silicon-power-shoot-out-volume-8-0430/